

IMAGE SENSOR

Publication number: JP2002185698

Publication date: 2002-06-28

Inventor: ABE ICHIRO

Applicant: MITSUBISHI ELECTRIC CORP

Classification:

- international: G06T1/00; H04N1/028; H04N1/17; G06T1/00;
H04N1/028; H04N1/17; (IPC1-7): H04N1/028;
G06T1/00; H04N1/17

- european:

Application number: JP20000379310 20001213

Priority number(s): JP20000379310 20001213

[Report a data error here](#)

Abstract of JP2002185698

PROBLEM TO BE SOLVED: To solve the problem that the scale of a circuit is increased, for example, accessory circuits are increased since it is necessary to increase shift registers in order to switch resolution in a conventional image sensor unit. **SOLUTION:** A selector 14 to be controlled by a resolution switching signal is arranged between shift registers 9 for supplying signals to the gates of analog switches 7 for controlling the outputs of a plurality of linearly arranged photoelectric converting elements 6, and the logic of the resolution switching signal is switched so that the connection of the selector 14 can be changed, and that the connection of the shift register 9 can be changed. Thus, it is possible to switch the resolution of the image sensor.

Data supplied from the esp@cenet database - Worldwide

(11)特許出願公開番号

特開2002-185698

(P2002-185698A)

(43)公開日 平成14年6月28日(2002.6.28)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テマコード [*] (参考) |
|---------------------------|-------|---------------|-------------------------|
| H 0 4 N 1/028 | | H 0 4 N 1/028 | A 5 B 0 4 7 |
| G 0 6 T 1/00 | 4 3 0 | G 0 6 T 1/00 | 4 3 0 D 5 C 0 5 1 |
| H 0 4 N 1/17 | | H 0 4 N 1/17 | B 5 C 0 7 2 |

審査請求 有 請求項の数6 OL (全 8 頁)

(21) 出願番号 特願2000-379310(P2000-379310)

(22) 出願日 平成12年12月13日(2000. 12. 13)

(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(72)発明者 阿部 委千弘
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74)代理人 100073759
弁理士 大岩 増雄 (外3名)

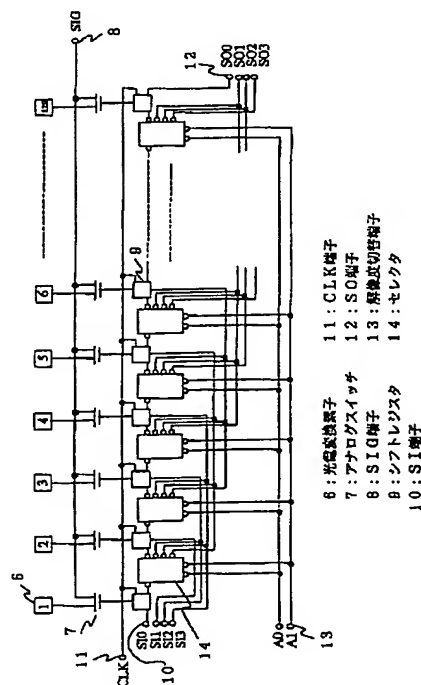
[最終頁に続く](#)

(54) 【発明の名称】 イメージセンサ

(57) 【要約】

【課題】 従来のイメージセンサユニットでは、解像度の切替えのために、シフトレジスタを増やさなければならず、そのための付属回路の増加など回路規模が大きくなるという問題があった。

【解決手段】 直線状に配置された複数の光電変換素子からの出力を制御するアナログスイッチ7のゲートに信号を供給するシフトレジスタ9の間に、解像度切替信号によって制御されるセレクト14を配置し、解像度切替信号の論理を切替えることにより、セレクト14の接続を変更し、これによりシフトレジスタ9の接続を変更するように構成して、イメージセンサの解像度の切替えを行うようにした。



【特許請求の範囲】

【請求項1】 解像度が切替えられるように構成されたイメージセンサにおいて、直線状に配置され、それぞれ光信号を電気信号に変換する複数の光電変換素子、この光電変換素子の出力を選択するよう上記光電変換素子にそれぞれ対応して配置され、クロックに同期して所定の順序で動作する複数のシフトレジスタ、隣接するシフトレジスタ間にそれぞれ配置され、解像度の切替えを指示する解像度切替信号に応じてシフトレジスタ間の接続を変更するよう構成された複数のセレクトを備えたことを特徴とするイメージセンサ。

【請求項2】 解像度切替信号は、2ビットで構成されていることを特徴とする請求項1記載のイメージセンサ。

【請求項3】 解像度切替信号は、Nビット（但し、Nは、 $N > 2$ の整数）で構成されていることを特徴とする請求項1記載のイメージセンサ。

【請求項4】 解像度切替信号は、クロックに同期して論理が変更されることを特徴とする請求項1～請求項3のいずれか一項記載のイメージセンサ。

【請求項5】 解像度切替信号の論理の変更は、光電変換素子に読み取られる原稿の一部に対応するように行われることを特徴とする請求項4記載のイメージセンサ。

【請求項6】 解像度切替信号は、一定周期で論理が変更されることを特徴とする請求項4記載のイメージセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、直線上に配置された複数の光電変換素子を有するイメージセンサに関するものである。

【0002】

【従来の技術】ファクシミリ、コピー機、ハンドスキャナ等に用いられる密着型イメージセンサは、直線上に配置された複数の光電変換素子を有し、各光電変換素子からの出力信号を、各素子にそれぞれ接続されたスイッチをシフトレジスタによって閉じることにより順次取り出して、画像情報を時系列の電気信号に変換するものである。図8は、従来の画像読みとり装置の構成を示す概略図である。図8において、1はイメージセンサユニット、2はイメージセンサユニット1の光電変換素子回路ICで、このICの変換素子列は、例えば1mmあたり8個、すなわちA4版の原稿用紙に対しては全体で1728個の光電変換素子から構成されている。3はイメージセンサユニット1によって読み取られる原稿、4はイメージセンサユニット1と原稿3との間で、原稿の像が光電変換素子に結ぶように配置されたセルフオックレンズアレ、5はセルフオックレンズアレ4の両側に配置された発光ダイオード列で、この発光ダイオード列5

の光で原稿3が照射される。光電変換素子回路IC2には、IC化されたシフトレジスタ、アナログスイッチ及び信号増幅回路が配置されている。

【0003】このイメージセンサユニット1を駆動するための基本回路とタイミングチャートを各々図9、図10に示す。図9は、従来のイメージセンサを駆動する基本回路を示す図である。図9において、6は128個の光電変換素子であり、順に番号が付され、薄膜のフォトダイオードあるいは光導電薄膜によって構成される、図10には示していないが、各々の光電変換素子6は、共通電極を持っており、接地されるか、適当なバイアス電圧が印加されている。7はアナログスイッチ、8は出力信号線であるSIG端子、9はシフトレジスタ、10はシフトレジスタ9のスタート信号が入力されるSI端子である。11はクロックが入力されるCLK端子、12はシフトレジスタ9のエンド信号が出力されるSO端子である。図9の光電変換素子6は、1対1でアナログスイッチ7のゲートに電圧を印加することにより、出力信号線であるSIG端子8に導通する。各アナログスイッチ7のゲートは、シフトレジスタ（図の場合は128段）9の各段に接続され、シフトレジスタ9からの信号により、アナログスイッチ7を開閉する。

【0004】図10は、図9の回路のタイミングチャートである。次に、動作について説明する。図10に示すようにシフトレジスタ9のSI端子10にスタート信号が入力されると、シフトレジスタ9が動作を始め、CLK端子11に入力されるクロックパルスに従って、順次第1ゲート、第2ゲートを閉じていく。第128ゲートが閉じられると同時にエンド信号がSO端子12に出力される。SO端子12と、次の光電変換素子回路IC2のSI端子10とを接続しておけば、順次光電変換素子6のゲート7を開閉することができる。

【0005】

【発明が解決しようとする課題】図11は、従来のイメージセンサの解像度切替回路を示す図である。図11において、6～12は図9におけるものと同一のものである。13は解像度切替信号が入力される解像度切替端子である。14はシフトレジスタ9の前段に配置されたセレクトであり、SI端子10と解像度切替端子13に接続されている。なお、シフトレジスタは、8ドット/mmのシフトレジスタ9aと、4ドット/mmのシフトレジスタ9bから構成されている。イメージセンサの解像度を、例えば図9のような8ドット/mmから4ドット/mmに変換する場合は、図11のようにシフトレジスタ前にセレクト14を設け、SI端子10にスタート信号が入力されると、セレクト14に入力される解像度切替端子13の論理により、8ドット/mmのシフトレジスタ9aまたは4ドット/mmのシフトレジスタ9bのどちらかのシフトレジスタに、SI信号が入力され、解像度の切替が可能となる。

【0006】図11のような回路では、シフトレジスタ9aの他に、シフトレジスタ9bを備えなければならず、シフトレジスタ回路が多くなってしまう。それ以上の低解像度化に対しては、例えば2ドット/mmの解像度については、4ドット/mmのシフトレジスタ9bの半分のシフトレジスタを、もう一段設けなければならず、より付属回路が複雑になったり、光電変換素子回路IC2の規模が、より大きくなる。

【0007】また、図11のような、シフトレジスタ9bを追加するような低解像度化では、部分的に解像度を高くしたり、部分的に解像度を低くする動作は、同じ光電変換素子回路IC2上ではできない。

【0008】この発明は、上記のような課題を解決するためになされたもので、シフトレジスタの数を増やすことなく、解像度を自在に切り替えることができるイメージセンサを得ることを目的にしている。

【0009】

【課題を解決するための手段】この発明に係わるイメージセンサにおいては、直線状に配置され、それぞれ光信号を電気信号に変換する複数の光電変換素子と、この光電変換素子の出力を選択するよう光電変換素子にそれぞれ対応して配置され、クロックに同期して所定の順序で動作する複数のシフトレジスタと、隣接するシフトレジスタ間にそれぞれ配置され、解像度の切替を指示する解像度切替信号に応じてシフトレジスタ間の接続を変更するよう構成された複数のセレクトを備えたものである。

【0010】また、解像度切替信号は、2ビットで構成されているものである。また、解像度切替信号は、Nビットで構成されているものである。

【0011】さらに、解像度切替信号は、クロックに同期して論理が変更されるものである。また、解像度切替信号の論理の変更は、光電変換素子に読み取られる原稿の一部分に対応するように行われるものである。また、解像度切替信号は、一定周期で論理が変更されるものである。

【0012】

【発明の実施の形態】実施の形態1. 実施の形態1によるイメージセンサユニットの全体構成は、図8と同じである。図1は、この発明の実施の形態1によるイメージセンサのセレクトを用いた解像度切替回路を示す図である。図1において、6は128個の光電変換素子であり、順に番号が付され、薄膜のフォトダイオードあるいは光導電薄膜によって構成される。図には示していないが、各々の光電変換素子6は、共通電極を持っており、接地されるか、適当なバイアス電圧が印加されている。7は光電変換素子6の出力を制御するアナログスイッチ、8は出力信号線であるSIG端子、9は光電変換素子6に対応するように配置され、アナログスイッチ7のゲートに信号を出力するシフトレジスタ、10はシフト

レジスタ9のスタート信号が入力されるSI端子である。11はクロックが入力されるCLK端子、12はシフトレジスタ9のエンド信号が出力されるSO端子である。13は2ビットの解像度切替信号が入力される解像度切替端子である。14はシフトレジスタ9の各段の間に配置されたセレクトであり、解像度切替端子13が接続されている。

【0013】図1の回路の基本的な動作は、図9で述べたものと同じであり、光電変換素子6は、1対1でアナログスイッチ7のゲートに電圧を印加することにより、選択されて、出力信号線であるSIG端子8に導通する。各アナログスイッチ7のゲートは、シフトレジスタ（図の場合は128段）9の各段に接続され、シフトレジスタ9から所定の順序で与えられる信号により、アナログスイッチ7を開閉する。図2は、この発明の実施の形態1によるイメージセンサのセレクトの論理を示す図である。図2において、14はセレクトである。図3は、この発明の実施の形態1によるイメージセンサのタイミングチャートである。

【0014】次に、動作について説明する。シフトレジスタ9の間には、セレクト14が設けられており、そのセレクト14の動作論理を、図2のとおりとすると、例えば光電変換素子6が8ドット/mmの解像度（Y0から出力）であり、その半分の4ドット/mmの出力を得たい場合、セレクト14の解像度切替端子13の入力を、 $A[0:1] = 1$ にすれば、光電変換素子6の出力を、図3に示されるタイミングチャートのように、第1、3、5・・・と1ドットを間引いて出力（Y1から出力）することが可能となる。また、解像度を8ドット/mmの1/3である2.67ドット/mmとしたい場合は、セレクト14の解像度切替端子13の入力を、 $A[0:1] = 2$ にすればよく（Y2から出力）、また解像度を8ドット/mmの1/4である2ドット/mmにしたい場合は、 $A[0:1] = 3$ にする（Y3から出力）ことで、画像の解像度を変更することが可能となる。

【0015】実施の形態1によれば、シフトレジスタを増やすことなく、自在に解像度の切り替えが可能となる。

【0016】実施の形態2. 図4は、この発明の実施の形態2によるイメージセンサのタイミングチャートである。図5は、この発明の実施の形態2によるイメージセンサの原稿内の高解像度部を示す図である。図5において、3は原稿、15は高解像度領域、16は低解像度領域である。

【0017】図1のような回路において、実施の形態1のような使用方法だけでなく、部分的に解像度を変更することも可能である。その場合のタイミングチャートは、図4のように、セレクト14の入力信号A1をクロックに同期させて論理を変更することによって、その際

のシフトレジスタ9の間引き数(レジスタを飛ばす数)を変更することが可能となる。それによって、例えば図5のように、読み取り原稿3に、高解像度読み取りが必要な高解像度領域15が部分的にあり、その他は低解像度である低解像度領域16でもよい場合など、図5の高画像度領域15の部分のみ、セレクト14の解像度切替端子13を、入力信号A[0:1]=0に設定して高解像度を得て、その他はセレクト14の解像度切替端子13を、入力信号A[0:1]=3に設定することで、部分的に高解像度な画像を得ることができる。

【0018】実施の形態2によれば、部分的に高解像度の画像を読み取ることにより、画像全体を高解像度で読み取る場合より、原稿全体を早く読み取ることが可能となる。

【0019】実施の形態3。図6は、この発明の実施の形態3によるイメージセンサのタイミングチャートである。図1のような回路構成において、セレクト14を図6に示されるようなタイミングで、まずSI端子10(SI2)から信号を与えてやり、解像度切替端子13を、入力信号をA[0:1]=1とA[0:1]=2とに、クロックごとに切り替えて間引き数を変更すれば、出力ビットも第3、5、8、10、13(2ビット飛ばし、1ビット飛ばし、2ビット・・・)のように、変則的な出力ビットを得ることができる。これによって、光電変換素子6が、例えば8ドット/mmとすると、擬似的に3.2ドット/mm(8÷5×2ドット/mm)の解像度を得ることができ、より多くの解像度に対応できるようになる。なお、上述では、クロック毎に解像度切替信号の論理を切替える場合について説明したが、一定周期で解像度切替信号を切替えれば、擬似的な解像度を形成することができる。

【0020】実施の形態3によれば、一定周期ごとに、解像度を切り替えることにより、擬似的な解像度を得ることができ、より多くの解像度に対応することができる。

【0021】実施の形態4。実施の形態1～3においては、セレクト14の解像度切替端子13への入力を2ビットの場合で説明を行ったが、それ以上のビット数であっても何ら支障はない。図7のように3ビットにすれば、7個のビットを間引く(飛ばす)ことが可能となる。例えば光電変換素子6が8ドット/mmとすると、最小1ドット/mmまで更に低解像度化が可能となり、より多くの解像度について対応できるようになる。

【0022】実施の形態4によれば、解像度切替端子への入力ビット数を増やすことにより、より多くの解像度に対応することができる。

【0023】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。直線状に配置され、それぞれ光信号を電気信号に変換する複数

の光電変換素子と、この光電変換素子の出力を選択するよう光電変換素子にそれぞれ対応して配置され、クロックに同期して所定の順序で動作する複数のシフトレジスタと、隣接するシフトレジスタ間にそれぞれ配置され、解像度の切替を指示する解像度切替信号に応じてシフトレジスタ間の接続を変更するよう構成された複数のセレクトを備えたので、新たにシフトレジスタを設けることなく、解像度の切り替えを自在に行うことができる。

【0024】また、解像度切替信号は、2ビットで構成されているので、4種類の解像度の切替えが可能である。また、解像度切替信号は、Nビットで構成されているので、多種類の解像度の切替えが可能である。

【0025】さらに、解像度切替信号は、クロックに同期して論理が変更されるので、クロックに同期して解像度を切替えることができる。また、解像度切替信号の論理の変更は、光電変換素子に読み取られる原稿の一部に対応するように行われるので、部分的に高解像度の原稿に対応することができる。

【0026】また、解像度切替信号は、一定周期で論理が変更されるので、解像度を擬似的に形成することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるイメージセンサのセレクトを用いた解像度切替回路を示す図である。

【図2】 この発明の実施の形態1によるイメージセンサのセレクトの論理を示す図である。

【図3】 この発明の実施の形態1によるイメージセンサのタイミングチャートである。

【図4】 この発明の実施の形態2によるイメージセンサのタイミングチャートである。

【図5】 この発明の実施の形態2によるイメージセンサの原稿内の高解像度部を示す図である。

【図6】 この発明の実施の形態3によるイメージセンサのタイミングチャートである。

【図7】 この発明の実施の形態4によるイメージセンサのセレクトの論理を示す図である。

【図8】 従来の画像読みとり装置の構成を示す概略図である。

【図9】 従来のイメージセンサを駆動する基本回路を示す図である。

【図10】 図9の回路のタイミングチャートである。

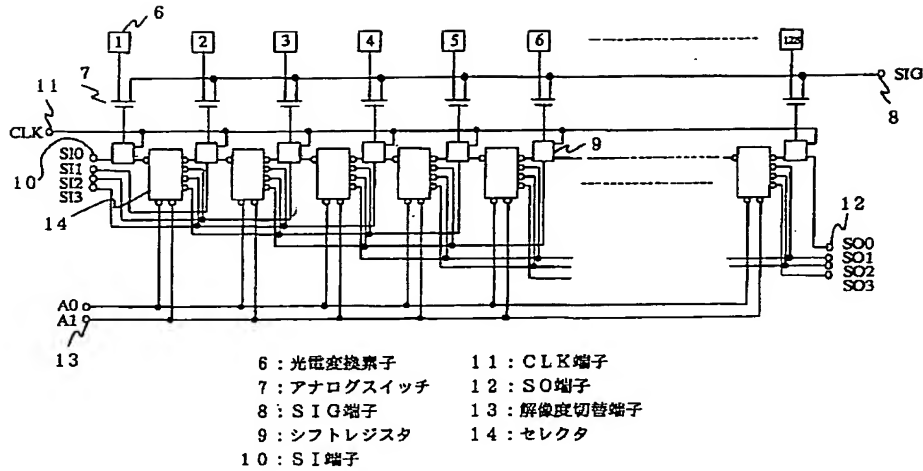
【図11】 従来のイメージセンサの解像度切替回路を示す図である。

【符号の説明】

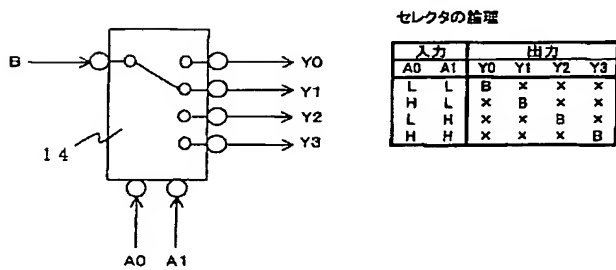
1 センサユニット、2 光電変換素子回路IC、3 原稿、4 セルフォックレンズアレイ、5 発光ダイオード列、6 光電変換素子、7 アナログスイッチ、8 SIG端子、9 シフトレジスタ、10 SI端子、11 CLK端子、12 SO端子、13 解像度切替端子、14 セレクト、15 高解像度領域、16 低

解像度領域。

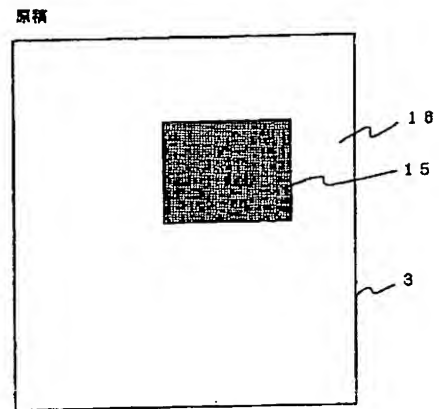
【図1】



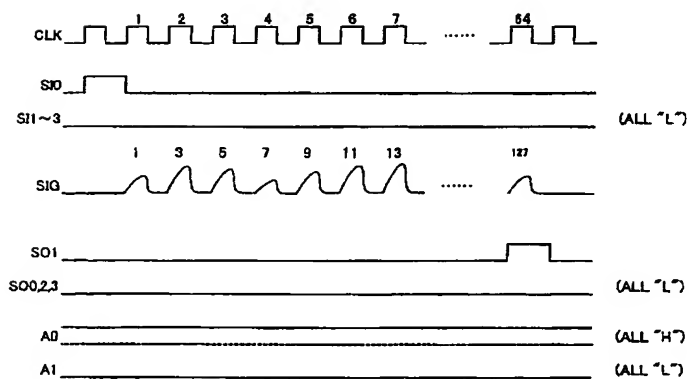
【図2】



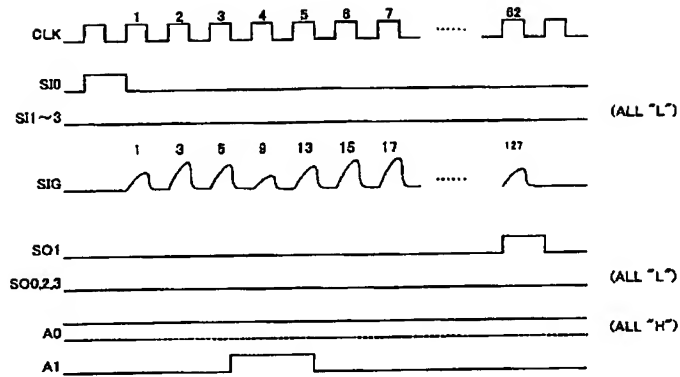
【図5】



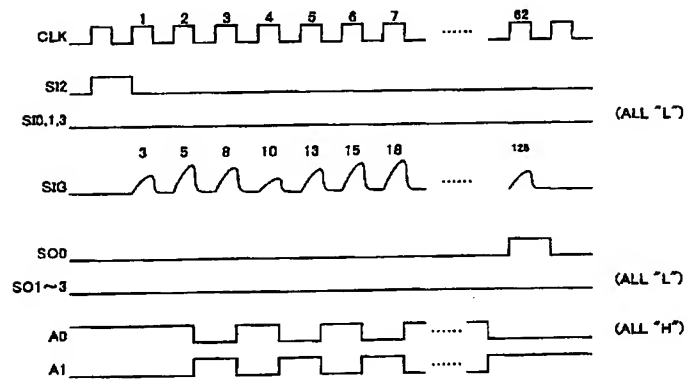
【図3】



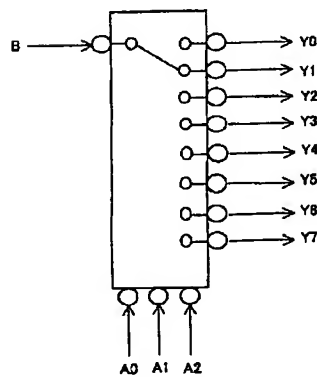
【図4】



【図6】



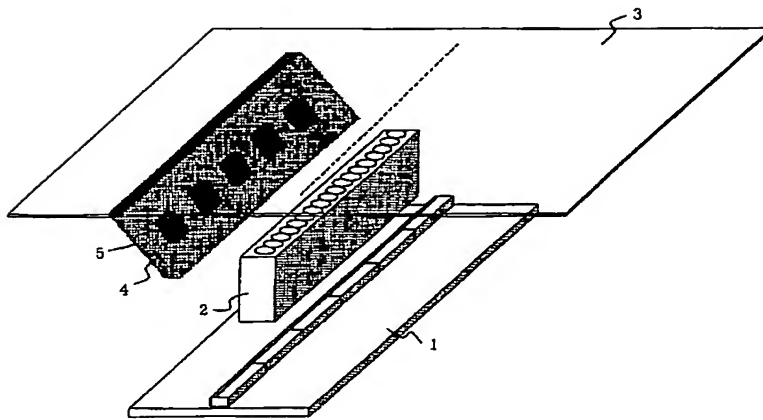
【図7】



セレクトラの論理

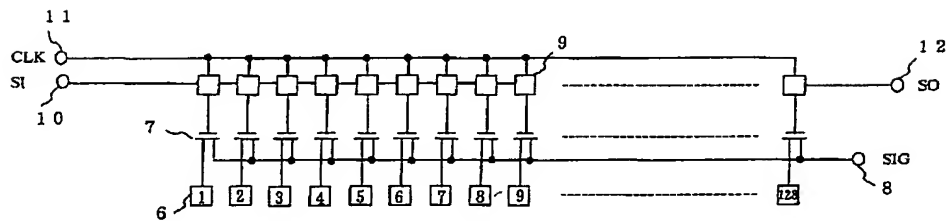
| 入力 | | | 出力 | | | | | | | |
|----|----|----|----|----|----|----|----|----|----|----|
| A0 | A1 | A2 | Y0 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 |
| L | L | L | B | x | x | x | x | x | x | x |
| H | L | L | x | B | x | x | x | x | x | x |
| L | H | L | x | x | B | x | x | x | x | x |
| H | H | L | x | x | x | B | x | x | x | x |
| L | L | H | x | x | x | x | B | x | x | x |
| H | L | H | x | x | x | x | x | B | x | x |
| L | H | H | x | x | x | x | x | x | B | x |
| H | H | H | x | x | x | x | x | x | x | B |

【図8】

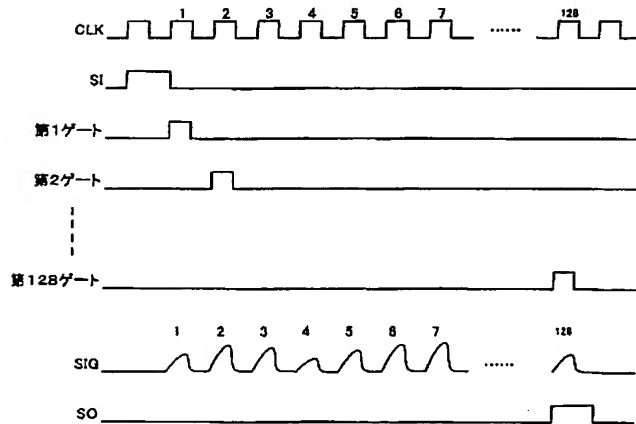


- 1: センサユニット 4: セルフフォーカスレンズアレイ
2: 光電変換素子回路IC 5: 発光ダイオード列

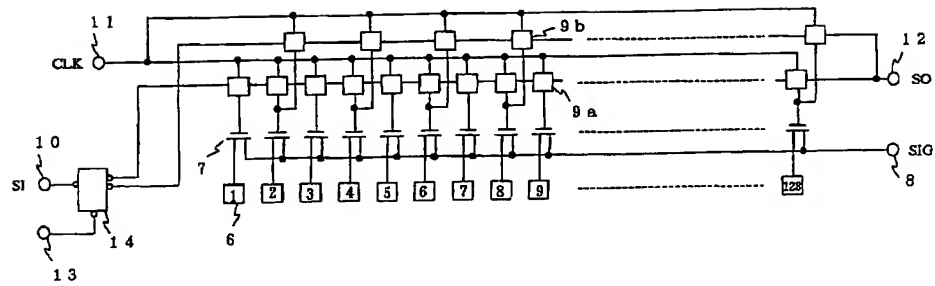
【図9】



【図10】



【図11】



フロントページの続き

Fターム(参考) 5B047 AA01 BB03 BC01 BC05 BC11
 CA06
 5C051 AA01 BA04 DA03 DB01 DB08
 DB12 DB22 DC03 DE02 EA03
 FA01
 5C072 AA01 BA01 CA05 DA02 EA07
 FA07 FB23 TA04 XA01